

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年10月31日

出願番号

Application Number: 特願2002-317032

[ST.10/C]:

[JP2002-317032]

出願人

Applicant(s): 富士通株式会社

2003年 5月16日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3036369

【書類名】 特許願

【整理番号】 0241338

【提出日】 平成14年10月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335  
H01L 27/146

【発明の名称】 画質を向上させたイメージセンサ

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 國分 政利

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 水口 寿孝

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 船越 純

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 小林 博

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
株式会社内

【氏名】 山本 克義

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【先の出願に基づく優先権主張】

【出願番号】 特願2002-216848

【出願日】 平成14年 7月25日

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】

明細書

【発明の名称】画質を向上させたイメージセンサ

【特許請求の範囲】

【請求項1】画像を撮像するイメージセンサにおいて、受光光量に応じて電流を発生する光電変換素子と、当該光電変換素子のノードをリセット電位にリセットするリセットトランジスタとを有し、行列方向に配置された複数の画素と、

当該画素の前記ノードの電位に応じた画素電位をサンプルホールドするサンプルホールド回路とを有し、

前記サンプルホールド回路は、前記画素の第1のリセット動作後の積分期間終了時の第1の画素電位と、前記積分期間後の第2のリセット動作後のリセットノイズ読み出し期間終了時の第2の画素電位との差電位を画素信号として出力し、

更に、前記サンプルホールド回路では、前記リセットノイズ読み出し期間中の前記画素電位が所定の閾値レベルを越える時に、当該画素電位が所定の基準電位にされることを特徴とするイメージセンサ。

【請求項2】請求項1において、

前記所定の基準電位は、前記リセット電位であることを特徴とするイメージセンサ。

【請求項3】請求項1において、

前記所定の閾値レベルは、複数のレベルに変更設定可能であることを特徴とするイメージセンサ。

【請求項4】請求項3において、

前記所定の閾値レベルは、撮像画像からの受光光量に応じて変更設定されることを特徴とするイメージセンサ。

【請求項5】画像を撮像するイメージセンサにおいて、

受光光量に応じて電流を発生する光電変換素子と、当該光電変換素子のノードをリセット電位にリセットするリセットトランジスタとを有し、行列方向に配置された複数の画素と、

当該画素の前記ノードの電位に応じた画素電位をサンプルホールドするサンプ

ルホールド回路とを有し、

前記サンプルホールド回路は、前記画素の第1のリセット動作後の積分期間終了時の第1の画素電位と、前記積分期間後の第2のリセット動作後のリセットノイズ読み出し期間終了時の第2の画素電位との第1の差電位を画素信号として出力し、

更に、前記サンプルホールド回路は、前記リセットノイズ読み出し期間中の前記画素電位が所定の閾値レベルを越える時に、前記第1の差電位に代えて前記第1の画素電位と第1のリセット時の画素電位との第2の差電位を画素信号として出力することを特徴とするイメージセンサ。

#### 【請求項6】画像を撮像するイメージセンサにおいて、

受光光量に応じて電流を発生する光電変換素子と、当該光電変換素子のノードをリセット電位にリセットするリセットトランジスタとを有し、行列方向に配置された複数の画素と、

当該画素の前記ノードの電位に応じた画素電位をサンプルホールドするサンプルホールド回路とを有し、

前記サンプルホールド回路は、前記画素の第1のリセット動作後の積分期間終了時の第1の画素電位と、前記積分期間後の第2のリセット動作後のリセットノイズ読み出し期間終了時の第2の画素電位との差電位を画素信号として出力し、

更に、前記リセットノイズ読み出し期間において、前記画素電位が所定の閾値レベルを超えるか否かを検出して、前記第2の画素電位をリセット電位にする制御回路を有することを特徴とするイメージセンサ。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、光電変換素子を有する画素を行列配置したイメージセンサに関し、特に、太陽光などの局部的に明るい画像の画質を向上させることができるイメージセンサに関する。

##### 【0002】

##### 【従来の技術】

CMOSイメージセンサなどのイメージセンサは、光電変換素子を画素に有し、所定の積分期間において入射される光量を電気信号に変換し、画像処理を行って画像信号を出力する。行選択線が駆動されるときに、その行選択線に接続された画素の光電変換信号が、各列に設けられたサンプルホールド回路に保持され、当該保持された検出信号が水平走査パルスによって順次出力される。

## 【0003】

かかるCMOSイメージセンサは、例えば、以下の特許文献に開示されている。  
。

## 【0004】

従来のイメージセンサの画素は、例えば、光電変換素子であるフォトダイオードと、そのカソード電位をリセットするリセットトランジスタと、増幅トランジスタと、選択トランジスタとで構成される。そして、フォトダイオードのカソード電位がリセット電位にリセットされたのち、所定の積分期間の間、受光光量に応じてフォトダイオードが発生する電流によりそのカソード電位が低下する低下電圧が、光電変換電圧としてサンプルホールド回路に保持される。

## 【0005】

上記のカソード電位には、リセット時にリセットノイズが重畠される。このリセットノイズは、画素内のトランジスタ特性のバラツキや寄生容量のバラツキにより依存するので、画素毎に異なる。このリセットノイズを検出電圧から除去するため、サンプルホールド回路は、相関二重サンプリング回路で構成される。相関二重サンプリング回路は、第1のリセット動作後の積分期間終了時にカソード電位をサンプル・ホールドし、その後に第2のリセット動作を行って、それに續くリセットノイズ読み出し期間後に、発生したリセットノイズをサンプル・ホールドする。そして、2つのサンプル・ホールド電圧の差電圧を画素信号として出力する。2つのサンプル・ホールド電圧の差をとることにより、検出信号からリセットノイズが除去される。

## 【0006】

## 【特許文献】

特開平2002-218324号公報

## 【0007】

## 【発明が解決しようとする課題】

しかしながら、撮像画像内に太陽光など、周囲の画像に比べて極端に高い輝度の領域が局所的に存在する場合は、それに対応する画素では、フォトダイオードが生成する光電変換電流が極端に大きくなる。そのため、第2のリセット動作後のリセットノイズ読み出し期間において、そのカソード電位が急速に低下する。その結果、2つのサンプル・ホールド電圧の差電圧が非常に小さくなる。つまり、本来は太陽光など高い輝度の領域であれば、検出される画素信号レベルは最大レベルになることが期待されるところ、リセットノイズ読み出し期間で読み出されるリセットノイズが大きくなりすぎて、期待通りの画素信号レベルが得られなくなる。そのため、得られる出力画像では、太陽の輝度が極端に低い画像になり、極端な場合太陽が真っ黒な画像になってしまう。

## 【0008】

そこで、本発明の目的は、相関二重サンプリングにより画素の検出信号をサンプルホールドするイメージセンサにおいて、局所的に高い輝度の画像が存在しても適切な輝度の出力画像を生成することができるようになることがある。

## 【0009】

## 【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、画像を撮像するイメージセンサにおいて、受光光量に応じて電流を発生する光電変換素子と、当該光電変換素子のノードをリセット電位にリセットするリセットトランジスタとを有し、行列方向に配置された複数の画素と、当該画素の前記ノードの電位に応じた画素電位をサンプルホールドするサンプルホールド回路とを有する。そして、サンプルホールド回路は、前記画素の第1のリセット動作後の積分期間終了時の第1の画素電位と、前記積分期間後の第2のリセット動作後のリセットノイズ読み出し期間終了時の第2の画素電位との差電位を画素信号として出力する。更に、サンプルホールド回路では、リセットノイズ読み出し期間中の第2の画素電位が所定の閾値レベルを越える時に、前記第2の画素電位が所定の基準電位にされることを特徴とする。

## 【0010】

上記の発明の側面によれば、局部的に高い輝度の画像が存在する場合に、リセットノイズ読み出し期間での露光により、第2の画素電位がリセットノイズを遙かに越える電位になって第1の画素電位と第2の画素電位の差電位である画素信号レベルが低くなりすぎることが防止される。つまり、第2の画素電位が所定の閾値レベルを超える場合は、サンプルホールド回路の相関二重サンプリング機能がディセーブルにされて、第1の画素電位と第2の画素電位との差電圧に代えて、リセットレベルから第1の画素電位までの差電圧が検出される。その結果、高い輝度の局所領域で画質が低下することが防止される。

## 【0011】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

## 【0012】

図1は、本実施の形態におけるCMOSイメージセンサの画素アレイの構成を示す図である。画素アレイ10は、行方向に配置された複数のリセット電源線VR、行選択線SLCT1～4、リセット制御線RST1～4と、コラム方向に配置された複数のコラム線CL1～CL4と、各行選択線、リセット制御線とコラム線との交差位置に配置された画素PX11～PX44とを有する。各画素には、画素PX14に示されるとおり、リセット用トランジスタM1と、光電変換素子であるフォトダイオードPDと、フォトダイオードの一方のノードであるカソード電位を増幅するソースフォロワートランジスタM2と、行選択線SLCTの駆動に応答して、ソースフォロワートランジスタM2のソースとコラム線CLとを接続する選択トランジスタM3とからなる光電変換回路が設けられる。フォトダイオードの他方のノードであるアノードは、グランドなどの基準電位に接続されている。

## 【0013】

行方向に配置された行選択線SLCT1～4やリセット制御線RST1～4は、垂直走査シフトレジスタ12やリセット制御回路11により駆動制御される。即ち、垂直

走査シフトレジスタ12は、垂直走査信号Vscanを生成する垂直走査回路であり、垂直走査クロックVCLKに応答して、データVDATAの「1」をシリアル転送して、各行を選択する垂直走査信号Vscanを生成する。この垂直走査信号に応答して、行選択線SLCT0～3が順次駆動される。

#### 【0014】

また、列方向に配置された各コラム線CL1～4は、それぞれサンプルホールド回路14に接続される。サンプルホールド回路14は、後述するとおり、各画素からコラム線CLを経由して供給される光電変換信号を増幅し、リセット動作に伴うリセットノイズを削除して、画素信号を出力する。

#### 【0015】

サンプルホールド回路14から出力される画素信号は、水平走査シフトレジスタ16が生成する水平走査信号Hscanにより選択されるコラム選択トランジスタCS1～CS4を介して、共通出力バスOBUSに出力され、出力バスに接続された増幅器AMPにより増幅される。増幅器AMPの出力は、図示しないカラープロセッサに供給される。

#### 【0016】

図2は、従来のサンプルホールド回路を示す図であり、図3は、サンプルホールド回路の動作を示す信号波形図である。図2には、1つの画素PXの回路と、図示しないコラム線を介して画素PXに接続されるサンプルホールド回路14とが示される。サンプルホールド回路14は、第1のスイッチSW1と、第2のスイッチSW2と、第1のサンプル・ホールドキャパシタC1、第2のサンプリング・ホールドキャパシタC2と、基準電圧VREFと、第1及び第2のアンプAMP1,A MP2とを有し、画素の光電変換回路のリセットノイズをキャンセルする相関二重サンプリング回路である。また、画素PXとサンプルホールド回路14との間に電流源I1が設けられている。

#### 【0017】

この画素PXとサンプルホールド回路14の動作について、図3を参照しながら説明する。図3には、画素内のフォトダイオードD1のカソード電圧VPDに対応して出力される画素電位Vpの電圧変化が、行選択線SLCT、リセット制御制御

線RST、第1、第2のスイッチSW1, SW3などと関連して示される。簡単のために、行選択線SLCTはHレベルに駆動され、選択トランジスタM3は導通状態にされているものとする。

## 【0018】

まず、第1のリセット期間T1でリセット制御線RSTがHレベルに駆動されリセットトランジスタM1が導通され、フォトダイオードPDのカソード電位VPDがリセットレベルVRにされる。カソード電位VPDに対応する画素電位Vpも対応するリセットレベルになる。そして、リセット制御線RSTがLレベルになりリセットトランジスタM1が非導通になると、カソード電位VPDは、入力光の光量に応じてフォトダイオードPDが発生する電流により徐々にレベルを下げる。これが積分期間T2である。但し、リセットトランジスタM1が非導通になると同時にリセットノイズVnが発生する。このリセットノイズVnは、画素毎にばらついた電圧である。

## 【0019】

所定の積分期間T2を経過した後に、スイッチSW1, SW2が一時的に導通状態にされて、カソード電位VPDに応じて生成されるソースフォロワートランジスタM2からの駆動電流が、選択トランジスタM3と図示しないコラム線を介して、キャパシタC1を充電する。このサンプリング動作により、ノードVC1は、リセット電圧VRから、リセットノイズ電圧Vnと積分期間で低下した電位Vsとを加えた( $V_s + V_n$ )だけ低い電位VR - ( $V_s + V_n$ )になる。また、ノードVC1の電位は、第1のアンプAMP1を介して第2のキャパシタC2にも伝えられる。

## 【0020】

この時、第2のスイッチSW2も導通状態であり、第1のアンプAMP1の増幅率が1とすると、第2のキャパシタC2も第1のキャパシタと同じ電圧状態に充電される。この状態で、第1及び第2のキャパシタC1, C2には、レベルVR - ( $V_s + V_n$ )と基準電圧VREFとの差電圧が印加される。そして、スイッチSW1が非導通に制御されると、第1及び第2のキャパシタは、上記のレベルをホールドする。

## 【0021】

積分期間T2の終了後に、リセット制御線RSTに再度リセットパルスが供給されて、リセットトランジスタM1が導通する。この第2のリセット動作により、カソード電位VPDは再度リセットレベルVRに充電される。これが第2のリセット期間T3である。その後、リセットノイズ読み出し期間T4経過後に、第1のスイッチSW1が一時的に導通状態にされる。この時、第2のスイッチSW2は非導通状態に維持される。このリセットノイズ読み出し期間T4においても、積分期間T2と同様に、カソード電位VPDは受光光量に応じたフォトダイオードの電流によりレベルが低下する。但し、このリセットノイズ読み出し期間T4は、積分期間T2に比較すると短く設定される。

## 【0022】

このリセットノイズ読み出し期間T4中に、スイッチSW1が導通状態になり、第1のキャパシタC1のノードVC1は、リセット電圧VRからリセットノイズVnだけ低下したレベルVR-Vnになる。この電位VR-Vnは、第1のアンプAMP1を通して第2のキャパシタC2の端子にも伝えられる。この時、第2のスイッチSW2が非導通状態であるので、第2のキャパシタC2のノードVC2はオープン状態になっている。従って、第2のキャパシタC2のノードVC2には、積分期間T2終了時のノードVC1の電位VR-(Vs+Vn)と、リセットノイズ読み出し期間T4終了時のノードVC1の電位VR-Vnとの差電圧Vsの変動が生じて、それに最初のサンプリング時の基準電圧VREFを加えた電圧VR<sub>EF</sub>+VsがノードVC2に生成される。つまり、この電圧VR<sub>EF</sub>+Vsからは、リセットノイズVnが削除されている。

## 【0023】

第2のアンプAMP2の基準電位をVREFにすることにより、受光光量に応じて積分された検出電圧Vsが、第2のアンプAMP2により増幅され、水平走査シフトレジスタ16が生成する水平走査信号により順次導通制御されたコラムゲートCSを通して、出力バスOBUSに出力される。そして、それが出力バスOBUSに設けられた共通増幅器AMPにより増幅され、後段のA/D変換回路に画素信号として供給される。

## 【0024】

図3に示された画素電位V<sub>p</sub>の波形は、局部的に高い輝度の画像に対応する画素の例である。即ち、積分期間T<sub>2</sub>が短く制御されているにもかかわらず、画素電位V<sub>p</sub>が急速に低下して短時間で飽和している。それに伴い、スイッチSW1,SW2が導通する第1のサンプル・ホールド動作時の検出電圧Vsは、最大値に達している。そして、第2のリセット動作後のリセットノイズ読み出し期間T<sub>4</sub>は、短い期間にもかかわらず、その画素電位V<sub>p</sub>は急速に低下して、スイッチSW1が導通する第2のサンプル・ホールド動作時にリセットノイズVnとして検出されるレベルが非常に大きくなっている。そのため、相関二重サンプリングにより求められる検出電圧Vs = (VR - Vn) - {VR - (Vs + Vn)}は、本来の高輝度に対応するレベルよりも低くなっている。

## 【0025】

リセットノイズ読み出し期間T<sub>4</sub>は、リセット制御信号RSTと第1のスイッチSW1の動作との間のマージンを確保するために、ある程度の長さの期間にしなければならないが、上記のような高輝度の画像の場合、そのような短い期間T<sub>4</sub>であっても、画素電位V<sub>p</sub>が急速に低下し、本来のリセットノイズを遙かに越えるリセットノイズVnがサンプルホールドされてしまう。

## 【0026】

図4は、本実施の形態におけるサンプルホールド回路を示す図である。画素PXは図2と同じである。サンプルホールド回路14は、相関二重サンプリング回路14Aと、相関二重サンプリング回路をディセーブルするか否かを制御する制御回路14Bとを有する。図4の相関二重サンプリング回路14Aは、図2のサンプルホールド回路と同じ構成である。制御回路14Bは、図1に示されるとおり、コラム線CL1～CL4に接続されるサンプルホールド回路14内に、コラム線と相関二重サンプリング回路との間に設けられる。

## 【0027】

制御回路14Bは、スイッチSW4,SW5を有し、更に、NORゲートNOR、インバータINV1,INV2とを有する。画素PXと相関二重サンプリング回路14Aとの間に設けられたスイッチSW4は、インバータINV1の出力により制御され、その出力がHレベルの

時に導通制御される。また、相関二重サンプリング回路14Aとリセット電源VRとの間に設けられたスイッチは、インバータINV2の出力により制御され、同様にその出力がHレベルの時に導通制御される。NORゲートNORの一方の入力端子には、制御回路14Bのイネーブル・ディセーブルを制御するイネーブル信号ENが入力され、他方の入力端子には、画素電位V<sub>p</sub>が入力される。

## 【0028】

図5は、本実施の形態におけるサンプルホールド回路の動作を示す図である。この例は、図3と同様に局部的に高い輝度の画像を撮像する場合の動作例である。最初のリセット期間T1でのリセット動作と、積分期間T2終了時でのスイッチSW1,SW2を導通させて行う第1のサンプル・ホールド動作とは、図3の場合と同じである。これらの動作中は、イネーブル信号ENはHレベル（ディセーブル状態）であり、制御回路14Bはディセーブル状態であり、スイッチSW4は導通、スイッチSW5は非導通状態に制御されている。従って、相関二重サンプリング回路14A内のノード電圧VC1には、リセット電圧に対応する電圧VRからリセットノイズVnと検出電圧Vsとの和（Vs+Vn）を減算した電圧VR-（Vs+Vn）になる。第1の増幅器AMP1の出力もゲインが1と仮定すると同様である。

## 【0029】

次に、第2のリセット期間T3にはいると、イネーブル信号ENがLレベル（イネーブル状態）にされる。これにより、NORゲートは活性化状態になり、画素電位V<sub>p</sub>がNORゲートNORが持つ閾値レベルV<sub>th</sub>より低くなればその出力がHレベルに制御されることになる。第2のリセット期間T3の後、リセットトランジスタM1が非導通状態になると、リセットノイズ読み出し期間T4になり、入射光光量に応じてカソード電圧VPDのレベルが低下する。高輝度であるためカソード電圧は急速に低下し、それに伴って画素電位V<sub>p</sub>も急速に低下し、第1のスイッチSW1が非導通になるホールド動作の前までにNORゲートNORの閾値レベルV<sub>th</sub>を越えてしまう。

## 【0030】

これに応答して、NORゲートNORの出力はHレベルになり、第1のインバータIN V1の出力はLレベルになり、スイッチSW4は非導通に制御されると共に、第2の

インバータINV2の出力はHレベルになり、スイッチSW5は導通状態に制御される。スイッチSW5の導通により、ノード電圧VC1は画素電位Vpではなくリセット電源VRレベルまで強制的に引き上げられる。その後、第1のスイッチSW1が非導通になり、リセットレベルVRがキャパシタC1にホールドされる。つまり、ノード電位VC1のレベルは、リセットレベルVRになり、第1の増幅器AMP1の出力もリセットレベルVRになる。従って、ノード電圧VC2は、基準電圧VREFからVs+Vn+VREFまで引き上げられて、検出電圧はVs+Vnになる。

#### 【0031】

このサンプルホールド動作では、検出電圧Vs+VnからリセットノイズVnは除去されない。しかしながら、そもそも検出電圧Vsが最大値またはそれに近い値であるので、わずかなリセットノイズが除去されていなくても出力画像（最大階調レベルまたはその近傍レベル）の画質の低下の問題は少ない。むしろ、従来例のように、リセットノイズVnが必要以上に大きく検出されて検出電圧Vsが小さくなりすぎて出力画像が高い輝度にかかわらず低輝度になるよりは、画質は向上する。

#### 【0032】

図6は、本実施の形態におけるサンプルホールド回路の別の動作を示す図である。この例は、図3と異なり、輝度が高くない画像を撮像する場合の動作例である。入射光光量が少ないため、積分期間T2におけるフォトダイオードPDの電流が比較的小さく、従ってカソード電圧VPD及びそれに対応する画素電位Vpは徐々に低下する。そして、積分期間T2終了時の第1のサンプルホールド時にホールドされる画素電位Vpは、飽和レベルまでは達していない。

#### 【0033】

そして、第2のリセット動作後のリセットノイズ読み出し期間T4においても、カソード電圧VPD及びそれに対応する画素電位Vpは徐々に低下し、第1のスイッチSW1が閉じるホールド動作時までに、閾値レベルVthを越えることはない。そのため、制御回路14BのNORゲートNORの第2の入力である画素電位VpはLレベルにならず、NORゲート出力はLレベルを維持する。つまり、第1のインバータINV1の出力はHレベルを維持してスイッチSW4を導通状態に維持し、第2のインバータINV2の出力はLレベルに維持され、スイッチSW5が導通することはない。従つ

て、リセットノイズ $V_n$ が除去された電圧 $V_s$ が適切に検出される。

#### 【0034】

このように、特に高い輝度の画素でない場合は、制御回路14Bが相関二重サンプリング回路14Aの動作を通常動作に制御するので、適切なリセットノイズ $V_n$ を除去した検出電圧 $V_s$ が検出される。

#### 【0035】

上記の実施の形態では、NORゲートの閾値レベル $V_{th}$ を適切に設計することにより、制御回路14Bによる制御レベルを最適化することができる。そこで、この制御回路14Bの閾値レベルを変更可能にすることで、相関二重サンプリング動作のイネーブルとディセーブルとの境界点を変更可能にすることができる。

#### 【0036】

図7は、第2の実施の形態におけるサンプルホールド回路を示す図である。相関二重サンプリング回路14Aは、図4の実施の形態と同じである。第2の実施の形態では、制御回路14Bにおいて、図4のNORゲートに代えて、コンパレータCMPが設けられ、コンパレータの出力が第1のインバータINV1に供給される。そして、コンパレータCMPは、画素電位 $V_p$ と比較される閾値レベルが、スイッチSW6により $V_{th1}, V_{th2} (< V_{th1})$ のいずれかに変更可能になっている。スイッチSW6は、マニュアル操作可能な外部端子や図示しない内部回路により自動制御される制御信号CONにより切り換えられる。

#### 【0037】

例えば、画像内に太陽などの局所的に高輝度の画像が含まれている場合は、高いほうの閾値レベル $V_{th1}$ が選択される。これに伴い、リセットノイズ読み出し期間T4で画素電位 $V_p$ が閾値レベル $V_{th1}$ を越えて低下した場合は、第2のサンプルホールド時の検出レベルがリセット電圧 $VR$ になり、図5と同じ動作になる。

#### 【0038】

一方、画像内に局所的に極めて高輝度の画像が含まれていない場合は、通常の低い方の閾値レベル $V_{th2}$ が選択される。これに伴い、リセットノイズ読み出し期間T4で画素電位 $V_p$ が閾値レベル $V_{th2}$ を越えることがなく、第2のサンプルホールド時の検出レベルがリセットノイズ $V_n$ となり、図6と同じ動作になる。

## 【0039】

このように、閾値レベルを変更可能にすることで、撮像している画像に応じて最適化された出力画像を得ることができる。

## 【0040】

上記の閾値レベルの変更設定を、撮像画像からの受光光量から自動的に設定することもできる。例えば、検出される画素信号レベルを1フレーム期間において累積して、画像の明るさを検出し、出力バスOBUSに接続されたアンプAMPのゲインをコントロールすることが行われる。暗い画像であればゲインを上げて、明るい画像であればゲインを下げるなどの制御である。そして、アンプのゲインコントロールだけでは不十分な場合は、積分期間の長さが調整される。かかる制御は、出力バスのアンプAMPの出力側に設けられたA／D変換回路の出力側に設けられた自動ゲイン制御回路により行われる。

## 【0041】

そこで、一例として、積分期間が比較的長い第1の期間に制御された場合は、受光光量自体が比較的多くないので、閾値レベルVthを高く設定し、相関二重サンプリングのディセーブル機能の感度を高くして、局的に高い輝度の画像の画質が低下しないようにする。また、積分期間が比較的短い第2の期間に制御された場合は、受光光量自体が多くなるので、閾値レベルVthを低く設定して、同感度を低くし、極めて高い輝度の画像についてのみ、ディセーブル機能が働いて画質が低下しないようにする。

## 【0042】

更に、閾値レベルVth1,Vth2は、マニュアルにより可変設定可能にしてもよい。即ち、出力画像を観察したユーザが画質向上のために、マニュアルで設定変更可能にすることで、より高画質の出力画像を提供可能にことができる。

## 【0043】

以上、実施の形態例をまとめると以下の付記の通りである。

## 【0044】

(付記1) 画像を撮像するイメージセンサにおいて、  
受光光量に応じて電流を発生する光電変換素子と、当該光電変換素子のノード

をリセット電位にリセットするリセットトランジスタとを有し、行列方向に配置された複数の画素と、

当該画素の前記ノードの電位に応じた画素電位をサンプルホールドするサンプルホールド回路とを有し、

前記サンプルホールド回路は、前記画素の第1のリセット動作後の積分期間終了時の第1の画素電位と、前記積分期間後の第2のリセット動作後のリセットノイズ読み出し期間終了時の第2の画素電位との差電位を画素信号として出力し、

更に、前記サンプルホールド回路では、前記リセットノイズ読み出し期間中の前記画素電位が所定の閾値レベルを越える時に、当該画素電位が所定の基準電位にされることを特徴とするイメージセンサ。

【0045】

(付記2) 付記1において、

前記所定の基準電位は、前記リセット電位であることを特徴とするイメージセンサ。

【0046】

(付記3) 付記1において、

前記所定の閾値レベルは、複数のレベルに変更設定可能であることを特徴とするイメージセンサ。

【0047】

(付記4) 付記3において、

前記所定の閾値レベルは、撮像画像からの受光光量に応じて変更設定されることを特徴とするイメージセンサ。

【0048】

(付記5) 画像を撮像するイメージセンサにおいて、

受光光量に応じて電流を発生する光電変換素子と、当該光電変換素子のノードをリセット電位にリセットするリセットトランジスタとを有し、行列方向に配置された複数の画素と、

当該画素の前記ノードの電位に応じた画素電位をサンプルホールドするサンプルホールド回路とを有し、

前記サンプルホールド回路は、前記画素の第1のリセット動作後の積分期間終了時の第1の画素電位と、前記積分期間後の第2のリセット動作後のリセットノイズ読み出し期間終了時の第2の画素電位との第1の差電位を画素信号として出力し、

更に、前記サンプルホールド回路は、前記リセットノイズ読み出し期間中の前記画素電位が所定の閾値レベルを越える時に、前記第1の差電位に代えて前記第1の画素電位と第1のリセット時の画素電位との第2の差電位を画素信号として出力することを特徴とするイメージセンサ。

## 【0049】

(付記6) 付記5において、

前記所定の閾値レベルは、複数のレベルに変更設定可能であることを特徴とするイメージセンサ。

## 【0050】

(付記7) 付記5において、

前記所定の閾値レベルは、撮像画像からの受光光量に応じて変更設定されることを特徴とするイメージセンサ。

## 【0051】

(付記8) 画像を撮像するイメージセンサにおいて、

受光光量に応じて電流を発生する光電変換素子と、当該光電変換素子のノードをリセット電位にリセットするリセットトランジスタとを有し、行列方向に配置された複数の画素と、

当該画素の前記ノードの電位に応じた画素電位をサンプルホールドするサンプルホールド回路とを有し、

前記サンプルホールド回路は、前記画素の第1のリセット動作後の積分期間終了時の第1の画素電位と、前記積分期間後の第2のリセット動作後のリセットノイズ読み出し期間終了時の第2の画素電位との差電位を画素信号として出力し、

更に、前記リセットノイズ読み出し期間において、前記画素電位が所定の閾値レベルを超えるか否かを検出して、前記第2の画素電位をリセット電位にする制御回路を有することを特徴とするイメージセンサ。

【0052】

(付記9) 付記8において、

前記所定の閾値レベルは、複数のレベルに変更設定可能であることを特徴とするイメージセンサ。

【0053】

(付記10) 付記8において、

前記所定の閾値レベルは、撮像画像からの受光光量に応じて変更設定されることを特徴とするイメージセンサ。

【0054】

【発明の効果】

以上、本発明によれば、イメージセンサにおいて、局所的に高い輝度を有する画像の画質を向上させることができる。

【図面の簡単な説明】

【図1】

本実施の形態におけるCMOSイメージセンサの画素アレイの構成を示す図である。

【図2】

従来のサンプルホールド回路を示す図である。

【図3】

サンプルホールド回路の動作を示す信号波形図である。

【図4】

本実施の形態におけるサンプルホールド回路を示す図である。

【図5】

本実施の形態におけるサンプルホールド回路の動作を示す図である。

【図6】

本実施の形態におけるサンプルホールド回路の別の動作を示す図である。

【図7】

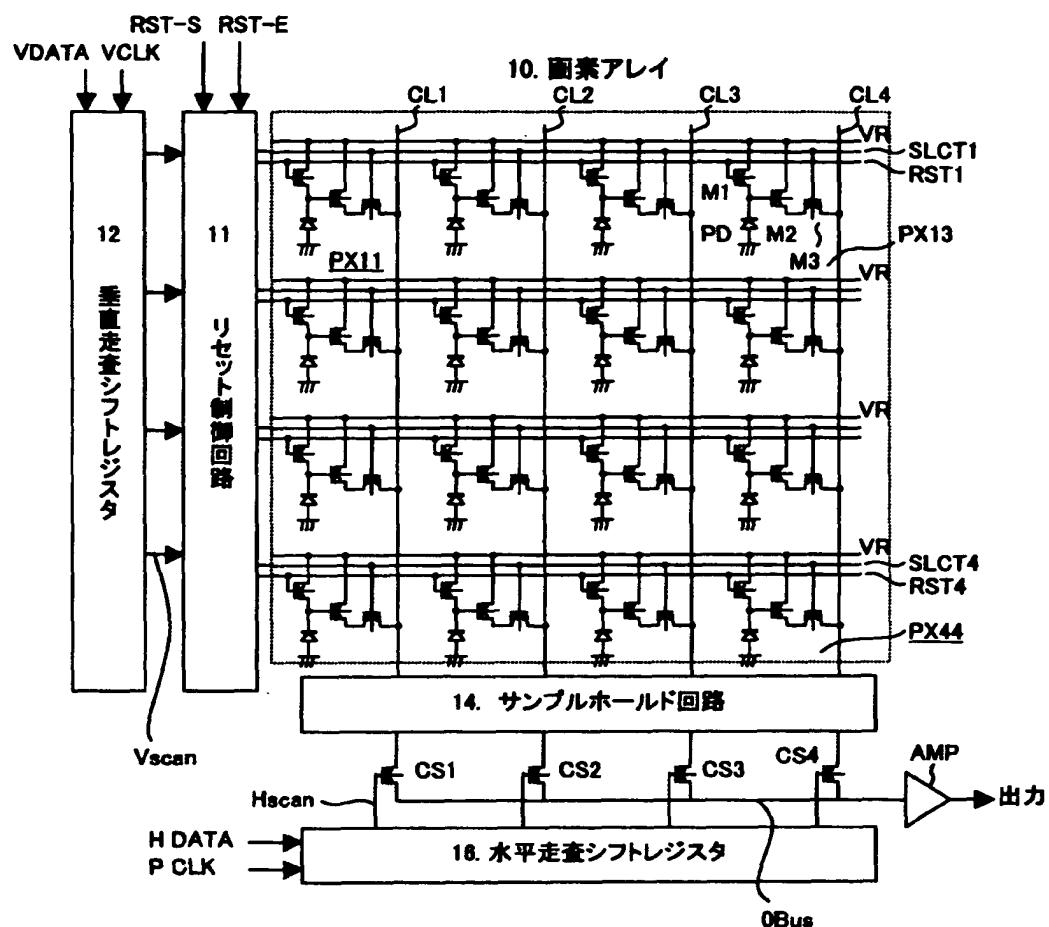
第2の実施の形態におけるサンプルホールド回路を示す図である。

【符号の説明】

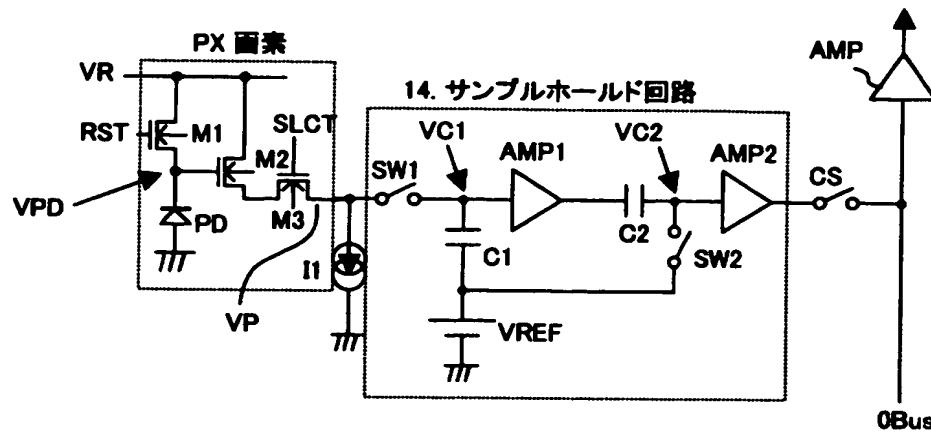
P X 画素、 P D フォトダイオード（光電変換素子）、 M 1 リセットトランジスタ、 M 2 ソースフォロワートランジスタ、 M 3 選択トランジスタ、 V R リセットレベル、 1 4 サンプルホールド回路、 1 4 A 相関二重サンプリング回路、 1 4 B 制御回路、 T 1 第1のリセット期間、 T 2 積分期間、 T 3 第2のリセット期間、 T 4 リセットノイズ読み出し期間

【書類名】 図面

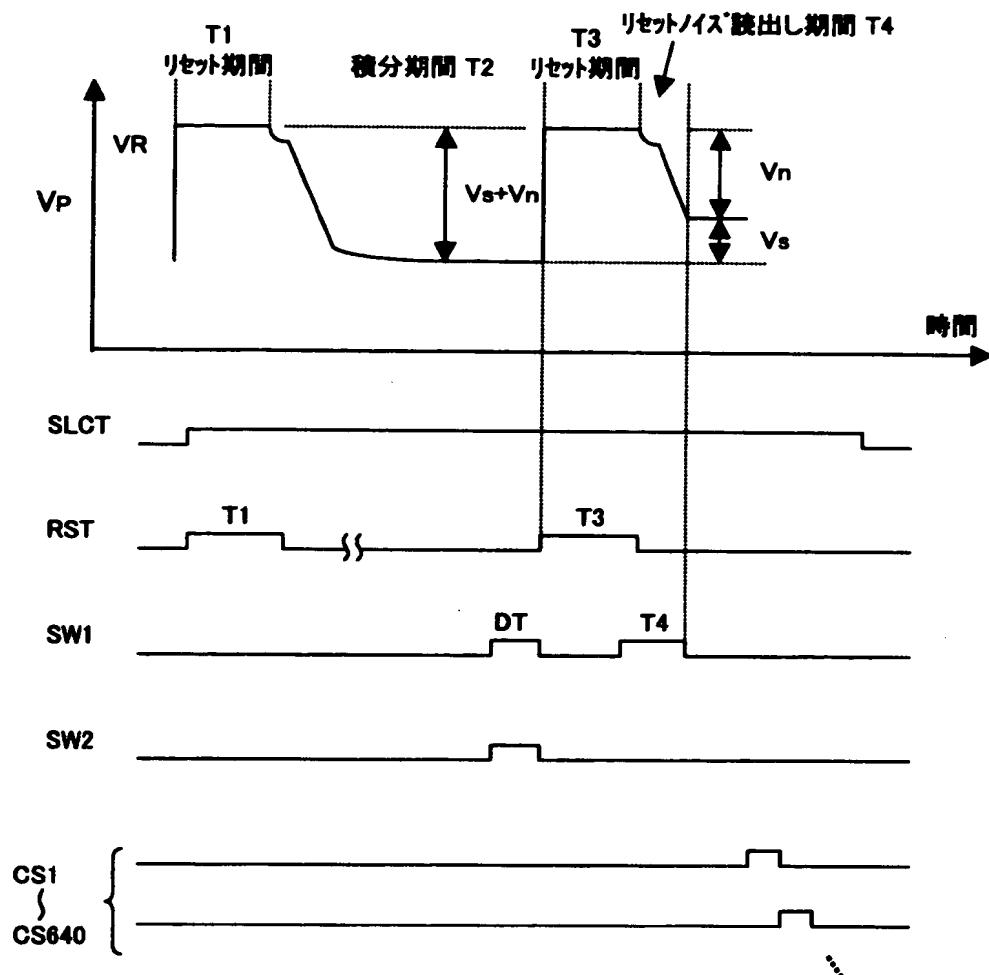
【図1】



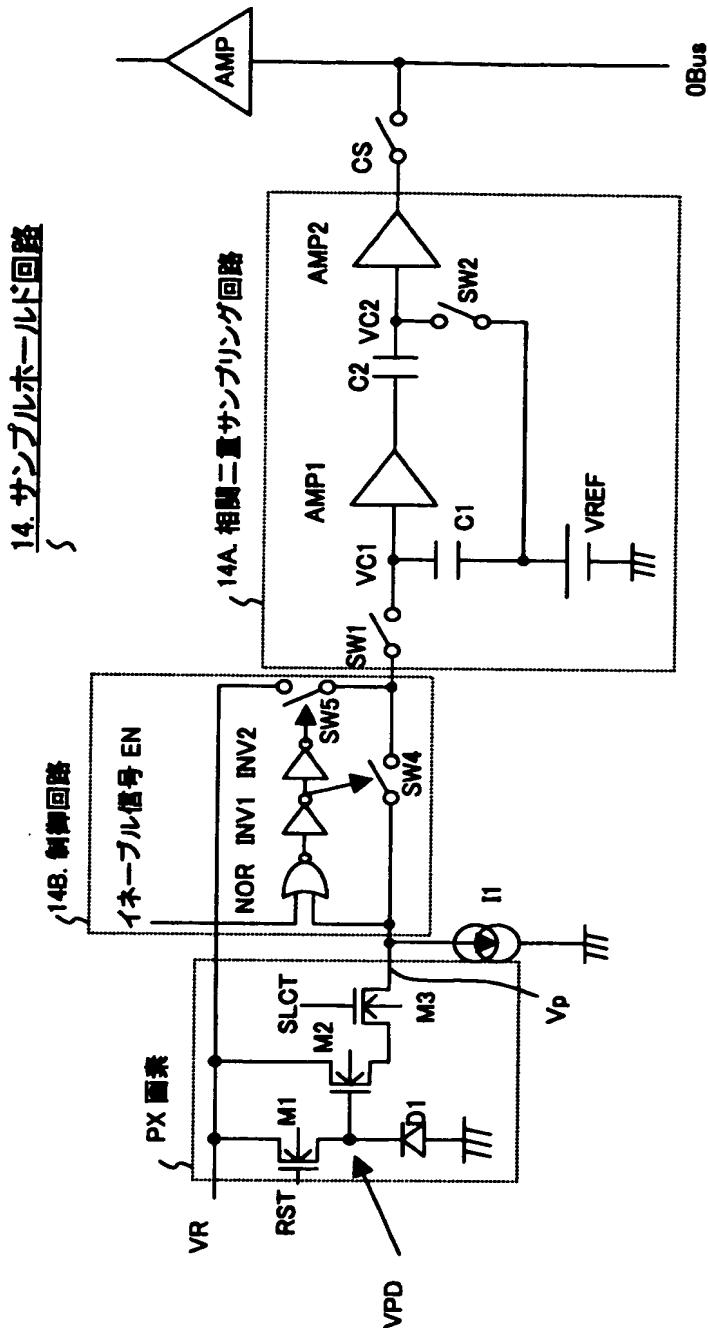
【図2】



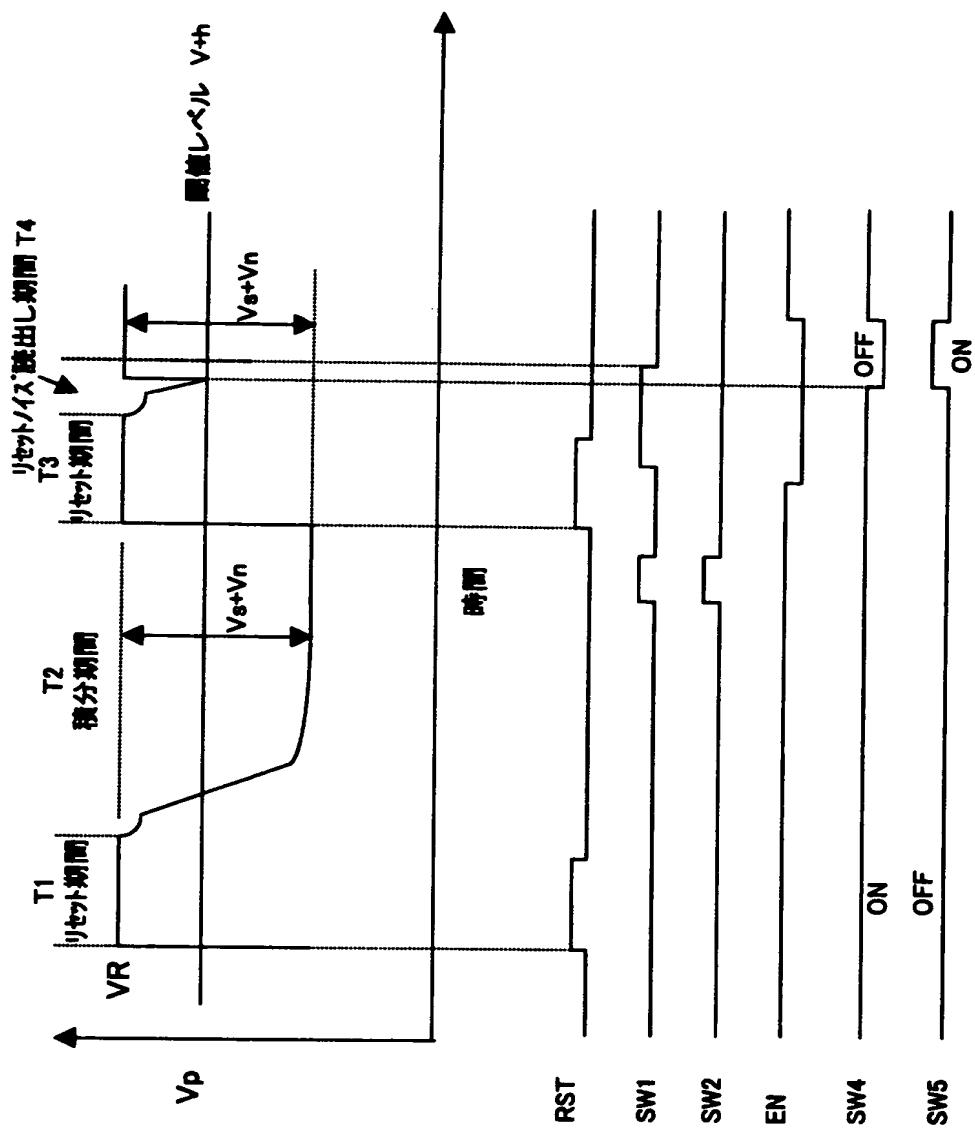
【図3】



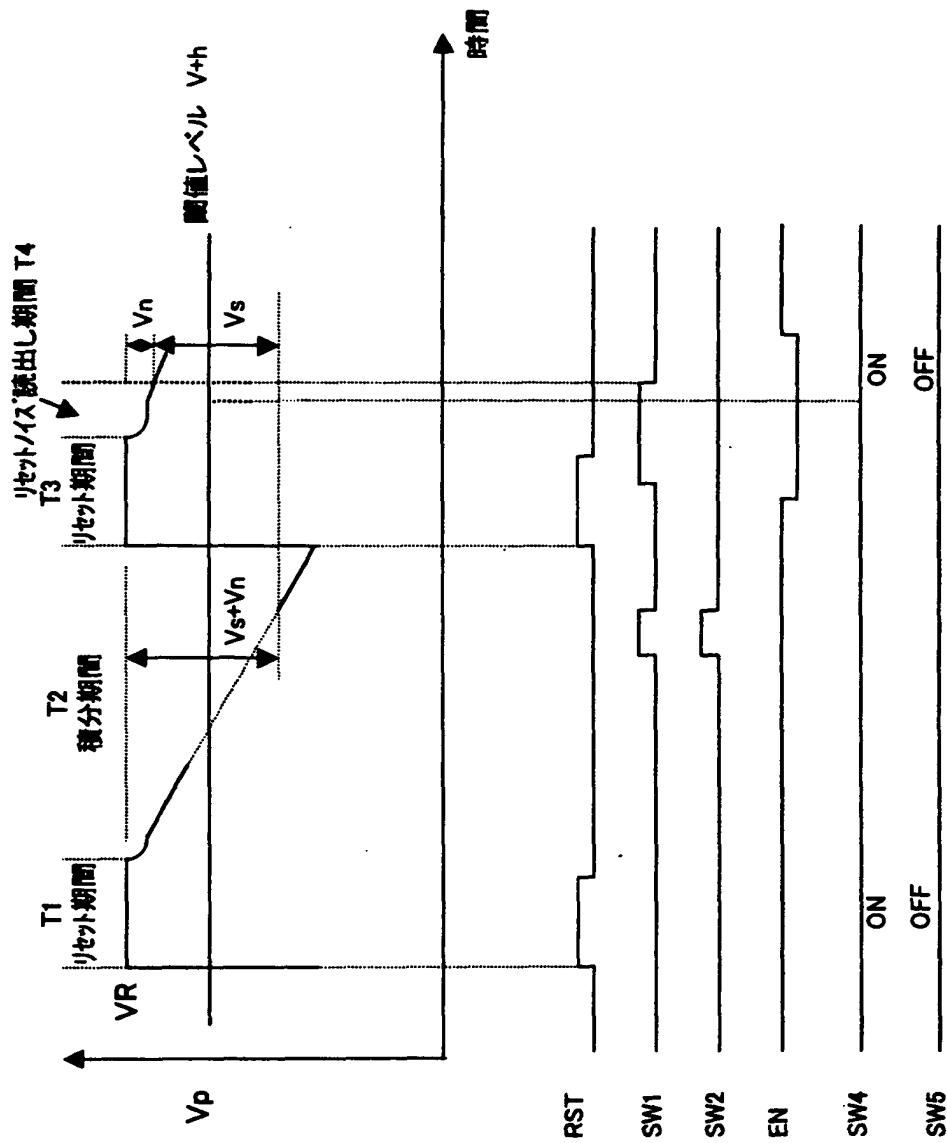
【図4】



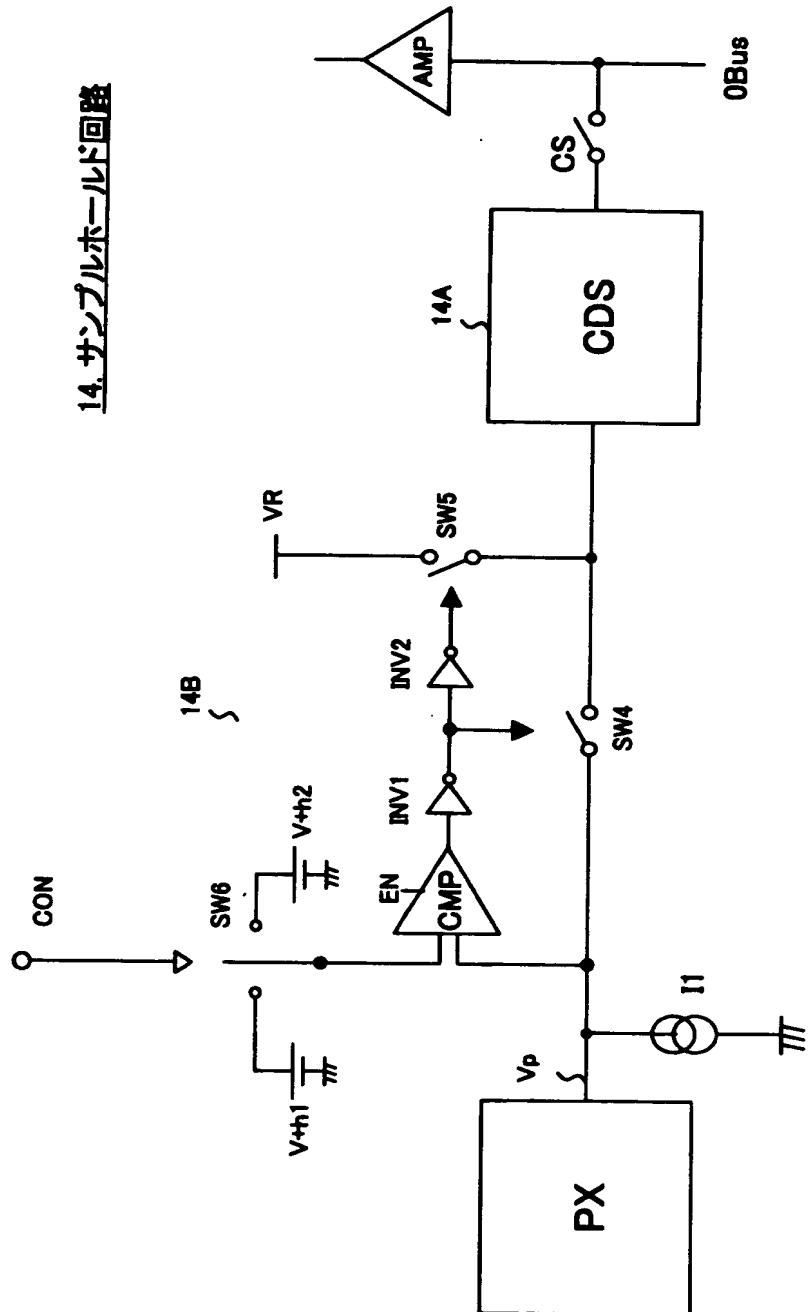
【図5】



【図6】



【図7】



【書類名】

要約書

【要約】

【課題】局所的に高い輝度を有する画像の画質を向上させることができるイメージセンサを提供する。

【解決手段】画像を撮像するイメージセンサにおいて、受光光量に応じて電流を発生する光電変換素子と、当該光電変換素子のノードをリセット電位にリセットするリセットトランジスタとを有し、行列方向に配置された複数の画素と、当該画素の前記ノードの電位に応じた画素電位をサンプルホールドするサンプルホールド回路とを有する。そして、サンプルホールド回路は、画素の第1のリセット動作後の積分期間終了時の第1の画素電位と、積分期間後の第2のリセット動作後のリセットノイズ読み出し期間終了時の第2の画素電位との差電位を画素信号として出力する。更に、サンプルホールド回路では、リセットノイズ読み出し期間中の第2の画素電位が所定の閾値レベルを越える時に、第2の画素電位が所定の基準電位にされる。局部的に高い輝度の画像が存在する場合に、リセットノイズ読み出し期間での露光により、第2の画素電位がリセットノイズを遙かに越える電位になって第1の画素電位と第2の画素電位の差電位である画素信号レベルが低くなりすぎることが防止される。つまり、第2の画素電位が所定の閾値レベルを超える場合は、サンプルホールド回路の相関二重サンプリング機能がディセーブルにされて、第1の画素電位と第2の画素電位との差電圧に代えて、リセットレベルから第1の画素電位までの差電圧が検出される。その結果、高い輝度の局所領域で画質が低下することが防止される。

【選択図】図4

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社